

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-299406

(43)Date of publication of application : 24.10.2000

(51)Int.CI.

H01L 23/12
H01L 21/60

(21)Application number : 11-108284

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 15.04.1999

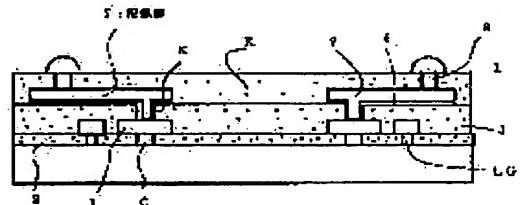
(72)Inventor : ONO SEIICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To make the states of soldered junctions observable by extending metallic posts outward from a group of electrode pads and the area surrounded by the electrode pads and forming solder bumps or solder balls around a chip.

SOLUTION: Openings K are formed through a passivation film 3 and an insulating resin layer for exposing a titanium nitride film and wiring layers 7 are formed in the openings K by performing Cu-plating. Then metallic posts 8 are provided at the end sections of the wiring layers 7. The wiring layers 7 and metallic posts 8 are provided outside a circuit area. In addition, solder balls or solder bumps are formed outside the arranging area of a group of electrode pads (Al electrodes) 1 surrounding the periphery of a circuit area in a belt-like state and the area (circuit area) surrounded by the electrode pads 1. Therefore, the strains and stresses received from the wiring layers 7, metallic posts 8, and solder balls or solder bumps are not applied directly to the circuit area and the deterioration of an IC circuit can be suppressed. In addition, the states of soldered junctions can be observed from the periphery of a semiconductor chip.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-299406

(P2000-299406A)

(43)公開日 平成12年10月24日 (2000.10.24)

(51)Int.Cl.⁷

H 01 L 23/12
21/60

識別記号

F I

テマコード(参考)

H 01 L 23/12
21/92

L

6 0 2 F

審査請求 未請求 請求項の数 5 O.L (全 6 頁)

(21)出願番号

特願平11-108284

(22)出願日

平成11年4月15日 (1999.4.15)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 小野 静一

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

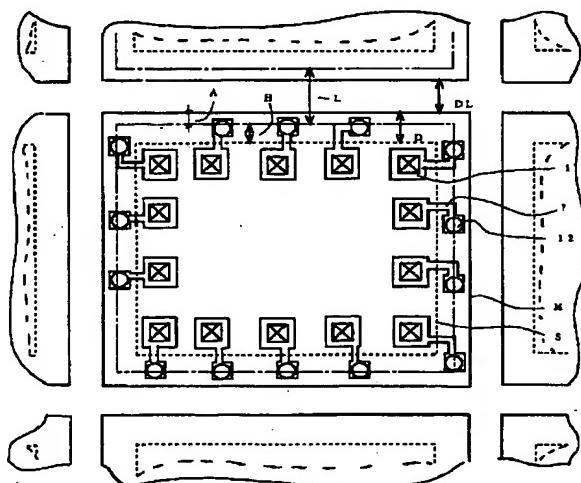
弁理士 芝野 正雅

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 半田バンプや半田ボールを使用した半導体装置に於いて、半田バンプや半田ボールによるICの劣化を抑止する。

【解決手段】 IC領域Sよりも外側に半田バンプまたは半田ボールを形成する。またTEGパターンがダイシングラインに形成される場合は、半田バンプまたは半田ボールがスペースAにも重畠するように設ける。



【特許請求の範囲】

【請求項1】 金属材料から成る電極パッドに接続され、チップ表面に延在するCuを主材料とする配線層と、前記配線層の一領域に形成されたメタルポストと、前記配線層を含むチップ表面を被覆し、前記メタルポストの表面が露出するように被覆された絶縁樹脂層と、前記メタルポストに固着された半田バンプまたは半田ボールとを具備する半導体装置に於いて、前記メタルポストは、前記電極パッド群および前記電極パッド群で囲まれた領域の外側に位置し、前記半田バンプまたは前記半田ボールは、チップの周囲に形成されることを特徴とした半導体装置。

【請求項2】 半導体ウェハの各IC上に絶縁樹脂層が形成され、前記絶縁樹脂層から露出したメタルポストに半田バンプまたは半田ボールが形成され、前記ICを囲むダイシングラインに沿って個々に分離される半導体装置であり、金属材料から成る電極パッドに接続され、ダイシングラインの近傍まで延在するCuを主材料とする配線層と、前記ダイシングラインの近傍の前記配線層の一領域に形成されたメタルポストと、前記配線層を含むチップ表面を被覆し、前記メタルポストの表面が露出するように被覆された絶縁樹脂層と、前記メタルポストの露出領域に固着された半田バンプまたは半田ボールとを具備する事を特徴とした半導体装置。

【請求項3】 前記半田バンプまたは半田ボールは、前記ダイシングラインのマージン領域近傍に設けられる請求項2に記載の半導体装置。

【請求項4】 前記半田バンプまたは半田ボールは、ダイシングラインのマージンに重畳して配置される請求項1または請求項2に記載の半導体装置。

【請求項5】 前記ダイシングラインには、TEGパターンが形成される請求項2、請求項3または請求項4に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関し、特にチップサイズパッケージに関する。チップサイズパッケージ(Chip Size Package)は、CSPとも呼ばれ、チップサイズと同等か、わずかに大きいパッケージの総称であり、実装基板への高密度実装を目的としたパッケージである。

【0002】

【従来の技術】従来、この分野では、一般にBGA(Ball Grid Array)と呼ばれ、面状に配列された複数のハンダボールを持つ構造、ファインピッチBGAと呼ばれ、BGAのボールピッチをさらに狭ピッチにして外形がチップサイズに近くなった構造等が知られている。

【0003】また、最近では、「日経マイクロデバイス」1998年8月号 44頁～71頁に記載されたウエハーカスチングがある。このウエハーカスチングは、基本的には、チップのダイシング前に配線やアレイ状のパッドをウエハープロセス(前工程)で作り込むCSPである。この技術によって、ウエハープロセスとパッケージ・プロセス(後工程)が一体化され、パッケージ・コストが大幅に低減できるようになることが期待されている。

【0004】ウエハーカスチングの種類には、封止樹脂型と再配線型がある。封止樹脂型は、従来のパッケージと同様に表面を封止樹脂で覆った構造であり、チップ表面の配線層上にメタルポストを形成し、その周囲を封止樹脂で固める構造である。

【0005】一般にパッケージをプリント基板に搭載すると、プリント基板との熱膨張差によって発生した応力がメタルポストに集中すると言われているが、樹脂封止型では、メタルポストが長くなるため、応力が分散されると考えられている。

【0006】一方、再配線型は、図3に示すように、封止樹脂を使わず、再配線を形成した構造である。つまりチップ51の表面にA1電極52、配線層53、絶縁層54が積層され、配線層53上にはメタルポスト55が形成され、その上に半田ボール56が形成されている。配線層53は、半田ボール56をチップ上に所定のアレイ状に配置するための再配線として用いられる。

【0007】封止樹脂型は、メタルポストを100μm程度と長くし、これを封止樹脂で補強することにより、高い信頼性が得られる。しかしながら、封止樹脂を形成するプロセスは、後工程において金型を用いて実施する必要があり、プロセスが複雑になる。

【0008】一方、再配線型では、プロセスは比較的単純であり、しかも殆どの工程をウエハープロセスで実施できる利点がある。

【0009】

【発明が解決しようとする課題】どちらにしても、半田バンプまたは半田ボールは、チップの周囲に形成されるパッド電極57の内側に延在され、マトリックス状に配置される。

【0010】しかし、このCSPを実装基板に半田接続すると、半田バンプまたは半田ボールは、この実装状態では、半田の接続の良否が判断できない問題があった。

また配線層53、メタルポスト、半田は、IC回路が形成されている上に形成されている。そのため、配線層やメタルポストから発生する歪み、半田から加わる熱や応力によりIC回路の特性が変化する問題もあった。

【0011】本発明は、前記問題点を解決するものである。

【0012】

【課題を解決するための手段】本発明は上記の課題に鑑みてなされ、第1に、メタルポストを、前記電極パッド

群および前記電極パッド群で囲まれた領域の外側に延在させ、半田バンプまたは前記半田ボールは、チップの周囲に形成する事で解決するものである。

【0013】またダイシングラインの近傍に配線層を延在させ、メタルポストをダイシングラインの近傍に形成することで解決するものである。

【0014】更には、半田バンプまたは半田ボールを、ダイシングラインのマージン領域近傍に設ける事で解決するものである。

【0015】半導体チップのIC回路は、電極パッドの周囲または電極パッド群で囲まれた領域に形成されている。従って実質IC回路を囲んで電極パッド群の外側に配線層、メタルポスト、半田バンプまたは半田ボールを形成することでIC回路実装部への影響を無くすことができる。

【0016】またICによっては、スクライブラインにテストパターンが設けられ、マージンをおよそ50~100μmも取っているものがある。従ってこのマージンに設けることで、電極パッドの外側の領域を狭くでき、チップサイズをそれほど拡大することもない。

【0017】更には、実装基板に本半導体装置を実装しても、半田ボールの観察が可能となり、半田不良の判断が可能となる。

【0018】

【発明の実施の形態】次に、本発明の実施形態について説明する。

【0019】図1、図2に於いて、図番1は、通常のワイヤボンディングタイプのICチップに於いて、最上層のメタル（ボンディングパッドとしても機能する部分）の部分であり、このA1電極1のコンタクトホールCが形成される層間絶縁膜を図番2で示す。

【0020】またこのコンタクトホールCの下層には、メタルが複数層で形成され、例えばトランジスタ（MOS型のトランジスタまたはBIP型のトランジスタ）、拡散領域、ポリSiゲートまたはポリSi等とコンタクトしている。

【0021】ここで、本実施例は、MOS型でも、BIP型でも実施できる事は言うまでもない。

【0022】また本構造は、一般には一層メタル、2層メタル…と呼ばれるICである。

【0023】更には、パッシベーション膜を図番3で示す。ここでパッシベーション膜3は、Si窒化膜、エポキシ樹脂またはポリイミド樹脂等でなり、更にこの上には、絶縁樹脂層が被覆されても良い。この絶縁樹脂層は、フラット性を実現し、半田ボールの高さを一定にする事ができる。

【0024】またA1電極1上には、窒化Ti膜が形成されている。

【0025】パッシベーション膜3と前記絶縁樹脂層は、窒化Ti膜を露出する開口部Kが形成され、ここに

は、配線層のメッキ電極（シード層）としてCuの薄膜層6が形成される。そしてこの上には、Cuメッキにより形成される配線層7が形成される。

【0026】そして、配線層7を含むチップ全面には、樹脂から成る樹脂層Rが形成される。ただし、図面上では省略しているが、樹脂層Rと配線層7、樹脂層Rとメタルポスト8の界面にはSi3N4膜が設けられても良い。

【0027】樹脂層Rは、熱硬化性、熱可塑性樹脂であれば実施可能である。ここで、樹脂Rは、液状のアミック酸を主材料として用意され、ウェハ全面にスピンドルされ、厚さ20~60μm程度で形成される。その後、この樹脂Rは、熱硬化反応により重合される。温度は、300°C以上である。しかし熱硬化前のアミック酸より成る樹脂は、前記温度の基で非常に活性に成り、Cuと反応し、その界面を悪化させる問題がある。しかし、配線層の表面にSi3N4膜を被覆する事により、このCuとの反応を防止することができる。ここでSi3N4膜の膜厚は、1000~3000Å程度である。また前記スピンドルの変わりにウェハを金型に載置して封止する、またウェハに樹脂を塗布しても可能である。

【0028】またSi3N4膜は、バリア性が優れた絶縁膜で良いが、SiO2膜は、バリア性に劣る。しかしSiO2膜を採用する場合は、Si3N4膜よりもその膜厚を厚くする必要があり。またSi3N4膜は、プラズマCVD法で形成できるので、そのステップカバレージも優れ、好ましい。更に、メタルポスト8を形成した後、樹脂層Rを被覆するので、前記Si3N4膜を形成するとCuから成る配線層7とアミック酸を主材料とする樹脂層の反応を防止するばかりでなく、Cuから成るメタルポスト8とアミック酸を主材料とする樹脂層Rの反応も防止できる。

【0029】また、配線層7の端部にメタルポスト8の頭部が顔を出し、メタルポスト8の頭部のNi、Auが露出されている。前記メタルポストは、前記メッキ電極を介してメッキで形成されても良いし、スパッタリングで形成されても良い。

【0030】Cuから成るメタルポスト8の上に直接半田ボールが形成されると、酸化されたCuが原因で半田ボールとの接続強度が劣化する。また酸化防止のためにAuを直接形成すると、Auが拡散されるため、間にNiが挿入されている。NiはCuの酸化防止をし、またAuはNiの酸化防止をしている。従って半田ボールの劣化および強度の劣化は抑制される。

【0031】ここでNi、Auは、電解メッキで形成されるが無電解メッキでも良い。

【0032】最後には、メタルポスト8の頭部に、半田ボール12（または半田バンプ）が形成される。

【0033】ここで半田ボールと半田バンプの違いについて説明する。半田ボールは、予めボール状の半田が別

途用意され、メタルポスト8に固着されるものであり、半田バンプは、配線層7、メタルポスト8を介して電解メッキで形成されるものである。半田バンプは、最初は厚みを有した膜として形成され、後熱処理により球状に形成されるものである。

【0034】ここでは、シード層も含めて配線層がパターニングされが取り除かれるので、電解メッキでは形成できず、実際は半田ボールが用意される。

【0035】以上、ウェハスケール・CSPの一例を説明した。本発明のCSPは、これに限らないが、特に半田ボールや半田バンプをチップの表面に形成するもので有ればよい。

【0036】続いて本発明のポイントを説明する。本発明は、帯状に周囲を囲んだ電極パッド（前述したA1電極）群1…の配置領域およびこの電極パッド群1…で囲まれた領域（以下回路領域と呼ぶ）の外側に半田ボールまたは半田バンプを形成することにある。

【0037】このために配線層7、メタルポスト8も前記回路領域の外側に設けられる。従って配線層7、メタルポスト8、半田ボールまたは半田バンプから受ける歪みや応力は、直接回路領域に加わらず、また半田ボールや半田バンプの溶融時の熱歪みも加わりにくいので、IC回路の劣化等を抑制することができる。

【0038】また本半導体装置を実装基板に取り付けても、半田バンプまたは半田ボールは、半導体チップの周囲から観察することが可能となるため、半田の接合状態が観察できる。特に半田不良を確認し、再度溶融し直すことも可能となる。

【0039】図3に於いて、実線で示す矩形領域Sは本来の半導体チップ領域であり、矩形領域Sと点線で示す矩形領域Mとの間は、ダイシング時に設けられるマージンである。実際、パターン上で本来のIC領域は何処になるのかと言わざるも説明は難しいが、一般には電極パッドの外側には、耐湿性向上のためにシールリングLGが形成されている。このシールリングは、一層メタルICでは、一層目のメタルが実質周囲を囲んでいる。このメタルは、半導体基板まで到達するコンタクトが周囲に形成され、この上に形成されている。従って絶縁膜とメタルの界面、絶縁膜が何層も積層されている場合は、これらの界面をメタルで遮断しているので、ダイシング側面からの湿気の浸入を阻止できるものである。

【0040】ここではこのシールリングで囲んだ領域をIC領域（実際は、シールリングを残してダイシングするから更に外に数十μmのスペースが設けられる。）とする。つまり仮想的に実線SがシールリングLGであるとする。

【0041】ダイシングブレードの幅は、およそ30～40μm程度と言われている。またダイシング精度はダイシング装置にもよるが、±数μmである。例えば±3μmとする。つまりDLは30μm、Lは、36μmで

ある。

【0042】例えば具体的に例をあげると、TEGパターンがダイシングライン部に形成されない機種では、Lが40μm程度であり、マージンが10μmとなる。従ってダイシング精度を考慮しても7μmが余っている。またTEGパターンが形成される機種では、TEGパターンのサイズにもよるが、Lは、150μm、ブレードとして40μmを採用しても、ダイシングに必要な幅は、40+3×2μmで、DLとして必要な幅は、46μmである。従って104/2の52μmがダイシング側壁からIC領域まで存在し、デッドスペースDになる。

【0043】本発明は、この領域Dにも着目している。例えば半田ボールのサイズは、300～800μmである。従って、小さいサイズで有れば、前記52μmの領域に配置できることになる。

【0044】図1に戻れば、点線で示す部分がIC領域Sであり、仮にこの領域にシールリングが形成されているとする。

【0045】本発明は、TEGパターンがダイシングラインに設けられた機種では、IC領域Sと実際のダイシング側壁Mとの間に52μmのデッドスペースDが存在するため、ここにメタルポストおよび半田ボールまたは半田バンプを実装しても良い。スペースAは、ダイシング装置およびTEGパターンが入るか入らないかで実質決まるマージンであり、半田ボールや半田バンプのサイズによっては、チップサイズを大きくするために、スペースHを広げる必要がある場合もある。

【0046】またマージンAは、全く利用しないとし、IC領域SからのスペースHを広げて設け、一回り大きな半導体チップサイズとし、符号Hで示す部分に配線層、メタルポスト、半田バンプまたは半田ボールを設けても良い。この場合は、前記スペースAは、全く利用しないのでチップの利用効率は低下する。

【0047】以上、どちらにしでもIC領域の外側に半田バンプまたは半田ボールが実装できるので、IC回路への影響を極力抑えられ、また実装基板に本CSPを実装しても、半田接合状態が観察でき、不良の解析、または不良を判断して半田を再溶融すれば、装置としての歩留まりも向上させることができる。

【0048】

【発明の効果】本発明によれば、IC領域の外側に半田バンプまたは半田ボールが実装できるので、IC回路への影響を極力抑えられ、また実装基板に本CSPを実装しても、半田接合状態が観察でき、不良の解析、または不良を判断して半田を再溶融すれば、装置としての歩留まりも向上させることができる。

【図面の簡単な説明】

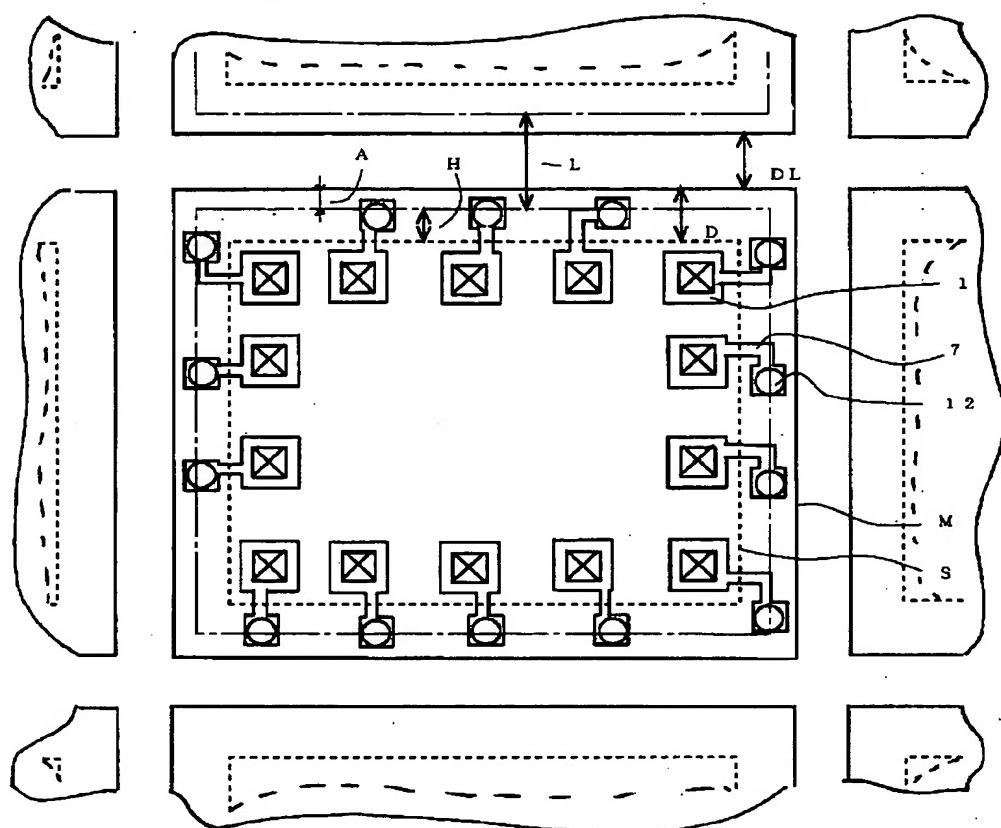
【図1】 本発明の実施形態に係る半導体装置の平面図である。

【図2】 図1の断面図である。

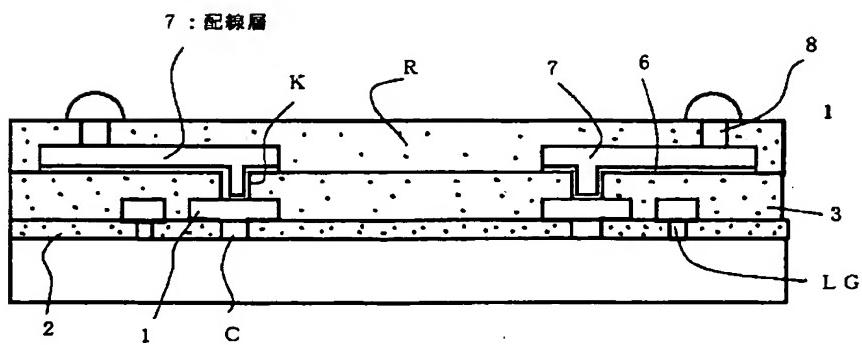
【図3】 従来の半導体装置の平面図である。

【図4】 図3の断面図である。

【図1】

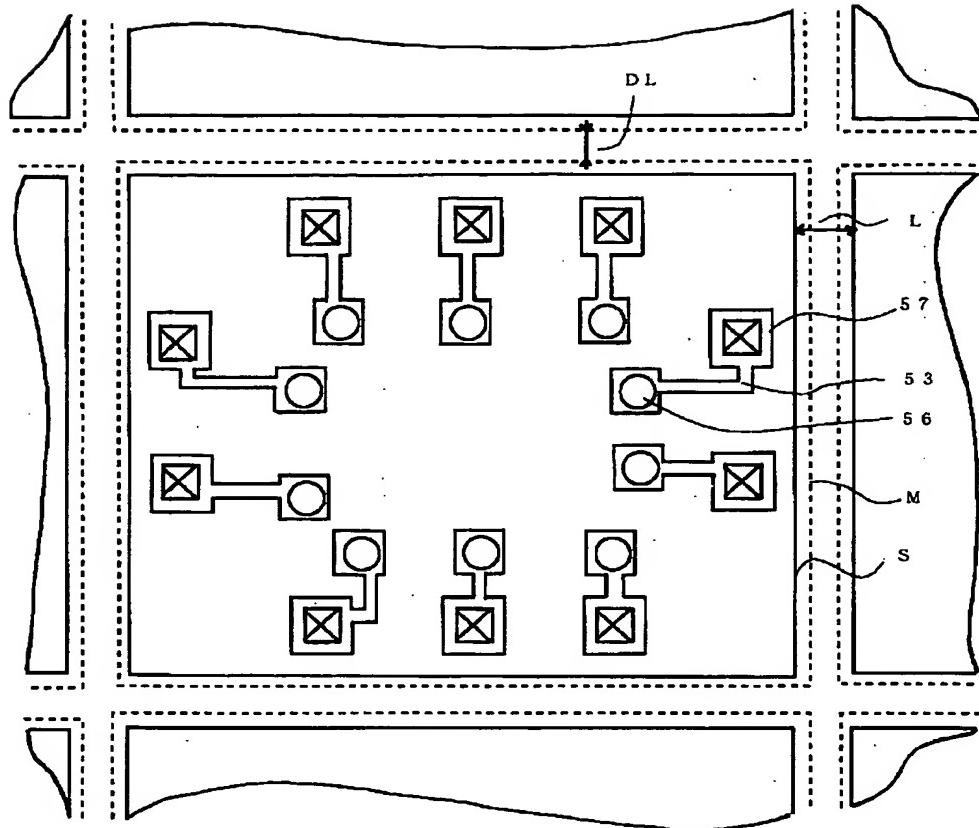


【図2】



! (6) 000-299406 (P2000-29JL8

【図3】



【図4】

